

Modélisation du circuit Timer NE 555 avec Qucs



D'après le document de Mike Brinson : [Modelling the 555 Timer](#)

Le [zip](#) contient (entre autres) les fichiers schémas suivants :

- *timer_trig.sch* (sous schéma)
- *timer_thresh.sch* (sous schéma)
- *timer_Discharge.sch* (sous schéma)
- *timer_digital_comb.sch* (sous schéma)
- *timer_amp.sch* (sous schéma)
- *timer_555.sch* (modèle du NE 555 composé des 5 sous-schémas)
- *monostable.sch* (simulation d'un monostable)

Fichier → Nouveau → Faire glisser *timer_555.sch* dans la fenêtre *sans nom*

Qucs 0.0.19- Projet :555

Fichier Modifier Placement Insérer Projet Outils Simulation Visualiser Aide

The screenshot shows the Qucs software interface. On the left, the 'Main Dock' contains a project tree with the following structure:

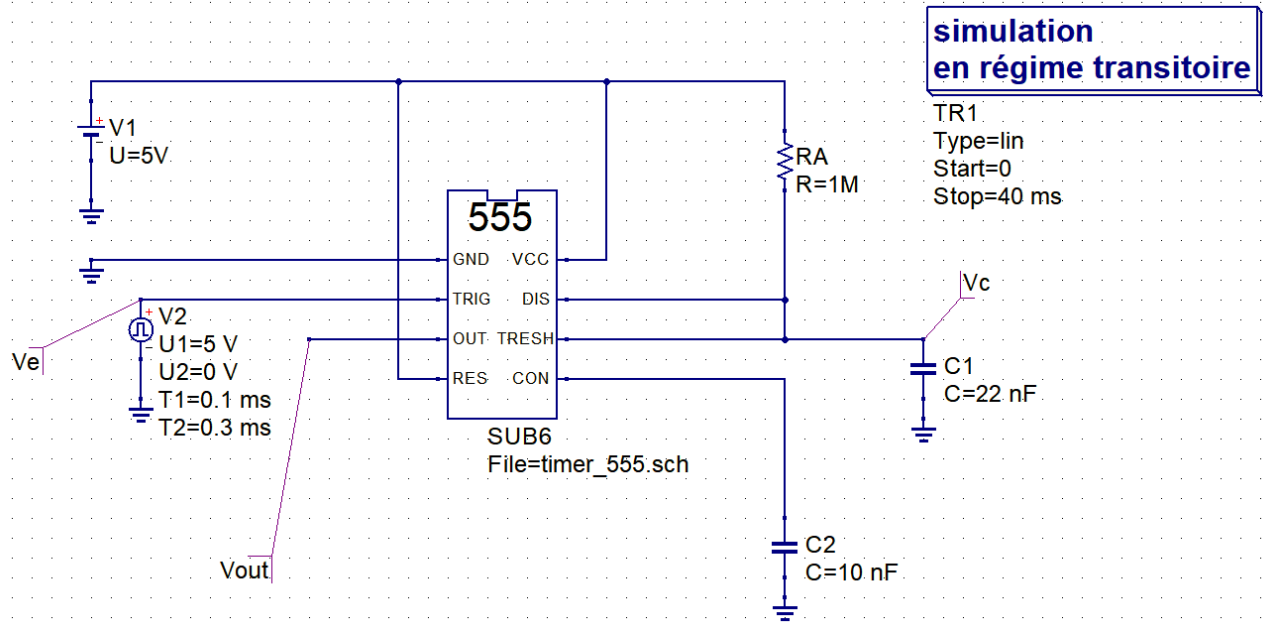
- Projets
 - Content of 555
 - Note
 - > Fichiers résultats
 - > Feuilles graphique
- Contenu
 - Vérilog
 - Verilog-A
 - VHDL
 - Octave
 - ▼ Schémas
 - monostable.sch
 - timer_555.sch (8-port) - **highlighted**
 - timer_Discharge.sch (3-port)
 - timer_amp.sch (3-port)
 - timer_digital_comb.sch (5-port)
 - timer_thresh.sch (3-port)
 - timer_trig.sch (3-port)
- Composants
 - Autres
- Libraries

The main workspace shows a schematic diagram of a 555 timer component labeled '555' and 'SUB6'. The component has the following pins:

- GND
- VCC
- TRIG
- DIS
- OUT
- TRESH
- RES
- CON

Compléter le schéma avec les composants périphériques comme indiqué ci-dessous, puis sauver sous le nom *monostable.sch*

Montage en Monostable

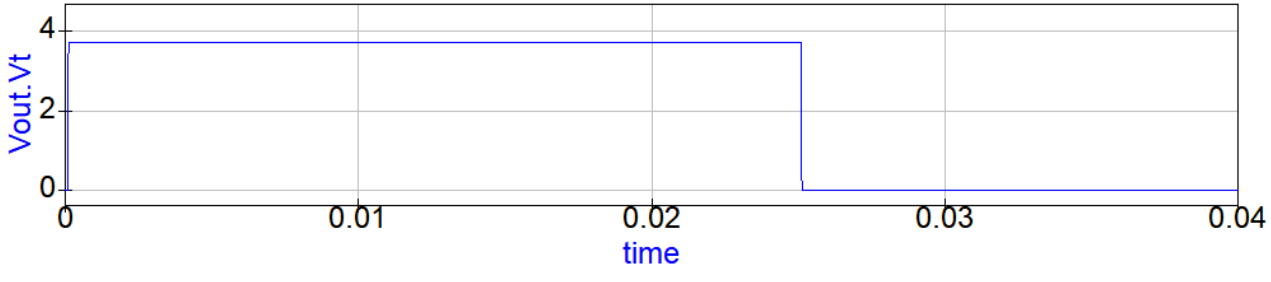
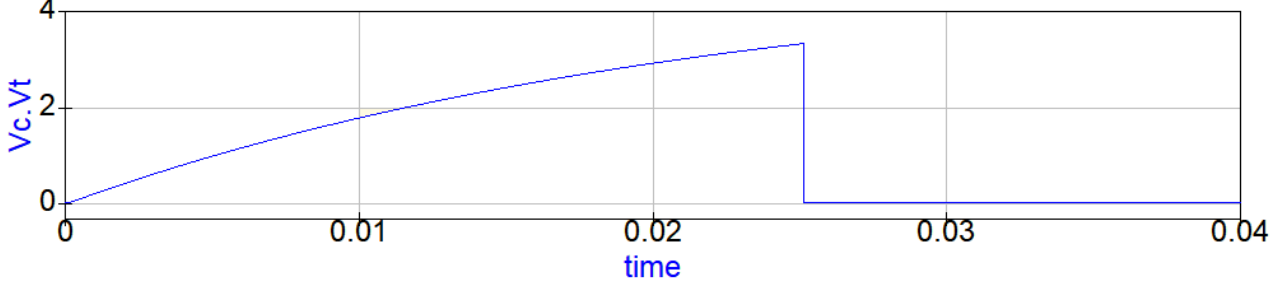
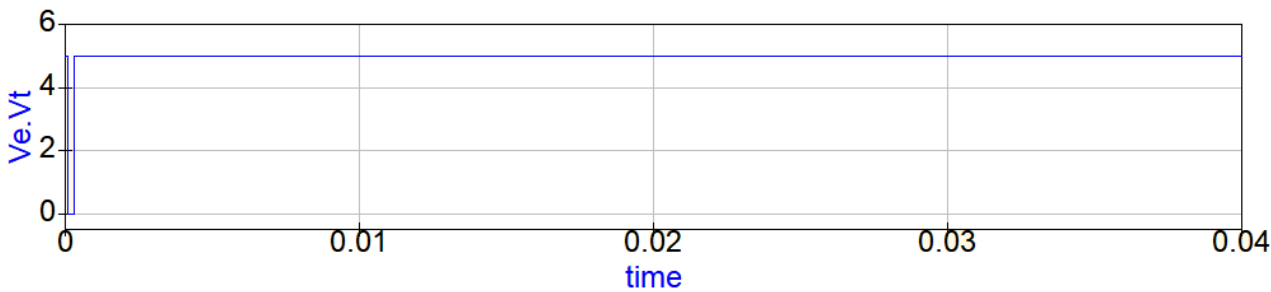


Choisir un diagramme cartésien

Projets

diagrams

Cartésien Polaire Tableau



$$T = RA \times C1 \times \ln(3) = 1 \times 0,022 \times 1,1 = 0,024 \text{ s}$$